

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224660

(43)Date of publication of application : 12.08.1994

(51)Int.Cl.

H03F 3/60

(21)Application number : 05-011138

(71)Applicant : TOKIMEC INC

(22)Date of filing : 26.01.1993

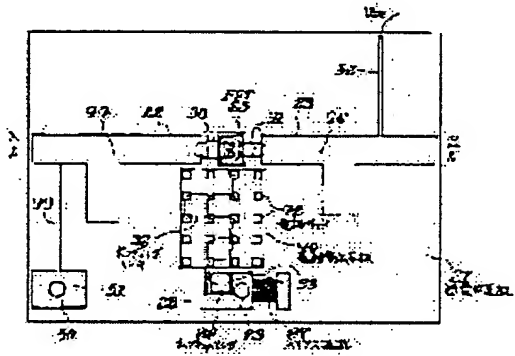
(72)Inventor : KIMIJIMA MASAYUKI

(54) MICROWAVE AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To facilitate the adjustment of the characteristic of the microwave amplifier circuit by providing a 2nd dielectric board in which plural electrode pads are provided between an active element and a ground conductor onto a dielectric board.

CONSTITUTION: A transmission line 22 metallized to a dielectric board 21 is connected to a gate pad of a FET 25 by a gate side bonding wire 30 and a transmission line 23 is connected to a drain pad of the FET 25 by a drain side bonding wire 31. Furthermore, a low dielectric board 40 is a board having a low dielectric constant, on the front side of which plural electrode pads 42 are formed, some of the electrode pads 42 are connected to source pads of the FET 25 through plural source feedback inductor bonding wires 32 and connected to an upper electrode of a chip capacitor 26. Then the characteristic is adjusted by varying the inductance of the bonding wire 32. That is, the electrode pads 42 are connected in series and/or in parallel by selecting the proper number of the electrode pads 42 on the low dielectric board 40 through the connection of the bonding wire 32.



LEGAL STATUS

[Date of request for examination] 14.12.1999

[Date of sending the examiner's decision of rejection] 22.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-224660

(43) 公開日 平成6年(1994)8月12日

(51) Int.Cl.⁵

H 0 3 F 3/60

識別記号

庁内整理番号

8522-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平5-11138

(22) 出願日 平成5年(1993)1月26日

(71) 出願人 000003388

株式会社トキメック

東京都大田区南蒲田2丁目16番46号

(72) 発明者 君島 正幸

東京都大田区南蒲田2丁目16番46号 株式

会社トキメック内

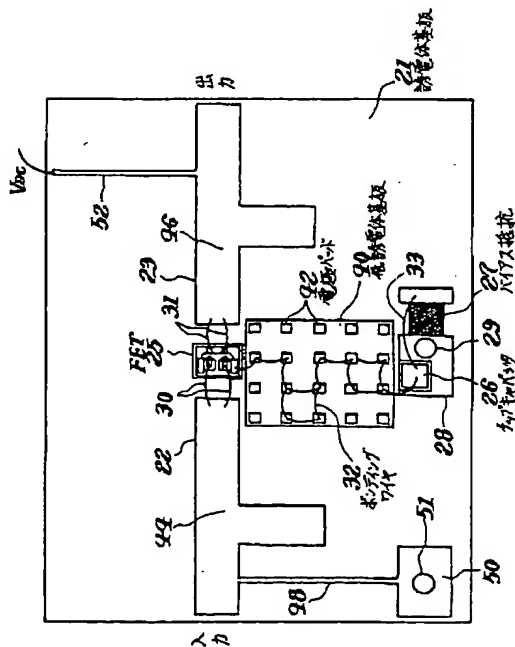
(74) 代理人 弁理士 石戸 元

(54) 【発明の名称】 マイクロ波増幅回路

(57) 【要約】

【目的】 F E T等を破損することなく簡単にインダクタンスを調整することができるマイクロ波増幅回路とする。

【構成】 誘電体基板21上にF E T25を実装し、F E T25とチップキャパシタ26とを接続するためのボンディングワイヤ32を備えるマイクロ波増幅回路において、F E T25とチップキャパシタ26との間にボンディングワイヤ32を接続可能な複数の電極パッド42を備える低誘電体基板40を誘電体基板21上に設ける。



1

【特許請求の範囲】

【請求項1】 誘電体基板上に能動素子を実装し、該能動素子と受動素子又は該能動素子と接地導体を接続するためのボンディングワイヤを備えるマイクロ波増幅回路において、該能動素子と受動素子又は該能動素子と接地導体との間にボンディングワイヤを接続可能な複数の電極パッドを備える第2の誘電体基板を前記誘電体基板上に設けることを特徴とするマイクロ波増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、計測器、レーダ、通信機器等へ使用されるマイクロ波増幅回路に関する。

【0002】

【従来の技術】 従来のマイクロ波増幅回路の平面図を図2に示す。図2は電解効果トランジスタを使用したマイクロ波増幅回路の例で、図において、1は誘電体基板であるアルミナ基板であり、アルミナ基板にはマイクロストリップ線路である伝送線路2、3のパターンがメタライズされている。伝送線路2、3の間には電解効果トランジスタFET5のチップが基板1上に表面実装され、さらに、FET5の近傍には、チップキャパシタ6、バイアス用抵抗7が実装されている。8は導体であり、スルーホール9を介して基板裏面の接地導体へと接続されている。

【0003】 伝送線路2はゲート側ボンディングワイヤ10によってFET5のゲートパッドに接続され、伝送線路3はドレイン側ボンディングワイヤ11によってFET5のドレインパッドと接続される。FET5のソースパッドは、ソース帰還インダクタンス用ボンディングワイヤ12によってチップキャパシタ6の上部電極と接続される。さらにチップキャパシタ6の上部電極はボンディングワイヤ13によって抵抗7の一端と接続される。チップキャパシタ6の下部電極及び抵抗7の他端は導体8にスルーホール9を介して接地されている。

【0004】 このように、FET5のソースと接地導体との間をキャパシタ6と抵抗7で並列に接続することによって、自己バイアス式バイアス回路を構成している。また、伝送線路2及び3は、それぞれ入力整合回路、出力整合回路と接続され、利得、入出力反射特性、雑音特性等が調整される。しかしながら、入出力整合回路だけでは、すべての特性について同時に良好な特性を得ることが困難であるため、ソース帰還インダクタンス用ボンディングワイヤ12によって帰還をかけており、このボンディングワイヤ12の長さを調整することによってインダクタンスを変えてバイアス回路の性能の最適化を行っている。

【0005】

【発明が解決しようとする課題】 しかしながら、このような従来のマイクロ波増幅回路においては、FET5のソースパッドからチップキャパシタ6へ直接ソース帰還

2

インダクタンス用ボンディングワイヤを接続しているため、その長さを変化させるためにはチップキャパシタ6の位置を変えたり、ボンディングワイヤの張り替えを行ったりする必要があり、その調整に手間がかかるだけでなく、時には調整中にFETを破損してしまうという問題があった。

【0006】 本発明はかかる問題点に鑑み、FET等を破損することなく簡単にインダクタンスを調整することができるマイクロ波増幅回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するために本発明のマイクロ波増幅回路では、誘電体基板上に能動素子を実装し、該能動素子と受動素子又は該能動素子と接地導体を接続するためのボンディングワイヤを備えるマイクロ波増幅回路であって、該能動素子と受動素子又は該能動素子と接地導体との間にボンディングワイヤを接続可能な複数の電極パッドを備える第2の誘電体基板を前記誘電体基板上に設ける。

【0008】

【作用】 第2の誘電体基板の複数の電極パッドに能動素子から接続されるボンディングワイヤを接続することによって、簡単にボンディングワイヤのインダクタンスを調整することができ、従ってマイクロ波増幅回路の各種特性を調整することができる。

【0009】

【実施例】 以下、図面を用いて本発明の実施例を説明する。図1は本実施例の平面図を示したもので、誘電体基板21には、マイクロストリップ線路である伝送線路22、23がメタライズされている。伝送線路22と23の間には能動素子である電界効果トランジスタFET25のチップが表面実装される。FET25に隣接して低誘電体基板40が実装され、さらに低誘電体基板40に隣接して受動素子であるチップキャパシタ26及びバイアス抵抗27が実装される。また、28は導体であり、スルーホール29を介して基板裏面の接地導体へと接続されている。

【0010】 伝送線路22はゲート側ボンディングワイヤ30によってFET25のゲートパッドに接続され、伝送線路23はドレイン側ボンディングワイヤ31によってFET25のドレインパッドと接続される。低誘電体基板40は例えば石英からなる低誘電率の基板で、その表面には複数の電極パッド42が形成されている。その中の幾つかの電極パッド42は、複数のソース帰還インダクタンス用ボンディングワイヤ32によってFET25のソースパッドと接続され、且つチップキャパシタ26の上部電極と接続される。チップキャパシタ26の上部電極はさらにボンディングワイヤ33によって抵抗27の一端と接続される。チップキャパシタ26の下部電極及び抵抗27の他端は導体28、スルーホール29

3

を介して接地されている。

【0011】また、伝送線路22、23にはそれぞれ入力整合回路44、出力整合回路46が負荷されている。さらに、伝送線路22からは、チョークコイル48が形成され、導体50に接続される。導体50は、スルーホール51を介して裏面の接地導体へと接続されて、FET25のゲートを直流的に接地している。伝送線路23からは、チョークコイル52が形成されており、チョークコイル52を介して供給電圧 V_{cc} がFET25のドレインに供給される。

【0012】このように、FET25のソースと接地導体との間をキャパシタ26と抵抗27で並列に接続することによって、自己バイアス式バイアス回路を構成しており、キャパシタ26によってソース側は高周波的に接地されており、ゲート側を入力とし、ドレイン側を出力としている。供給電圧 V_{cc} によるバイアス電流は、チョークコイル52、出力整合回路46を介してFET25のドレインに流れ込み、ソースからソース帰還インダクタンス用ボンディングワイヤ32、抵抗27、導体28、スルーホール29を介して裏面の接地導体へと流れる。FET25のゲートは、チョークコイル48、導体50及びスルーホール51を介して接地電位にバイアスされる。

【0013】伝送線路22及び23に負荷された入力整合回路44と出力整合回路46で、利得特性、入出力反射特性及び雑音特性の各特性の調整を行っている。しかしながら、これら整合回路のみでは、これらすべての特性を良好に調整することは不可能であるため、ボンディングワイヤ32のインダクタンスを変えることによってこれら特性の調整を行っている。即ち、ボンディングワイヤ32の接続を低誘電体基板40上の電極パッド42を適当な数選択してこれら電極パッド42を直列及び／又は並列につなぐことによってそのインダクタンス L を任意かつ容易に変えることができる。これにより L の値を最適化して、FET25への帰還量を調整することによって良好な利得特性、入出力反射特性及び雑音特性を同時に実現することができる。

【0014】また、電極パッド42は、低誘電率を有す

4

る低誘電体基板40の上に形成されているため、ボンディングワイヤ32の損失劣化を防止することができる。さらに、低誘電体基板40をチップ部品の厚さとほぼ同じ位の厚さにすると、電極パッド42と他の部品の電極パッドの高さがほぼ同じになるため、ワイヤボンディングを行う際の作業性を良くすることができる。

【0015】尚、本実施例ではソース側に高周波接地用のチップキャパシタ26を備えた場合について説明したが、ソースを直流的に接地するバイアス方式の場合には複数のソース帰還インダクタンス用ボンディングワイヤ32のうち少なくとも1つを直接導体28に接続することにより同じように機能させることができる。さらに、本実施例では電解効果トランジスタFETを利用した例について説明したが、ハイボラトランジスタを利用した場合であっても同様に適用可能である。

【0016】

【発明の効果】以上説明したように、本発明によれば、誘電体基板上に能動素子を実装し、該能動素子と受動素子又は該能動素子と接地導体を接続するためのボンディングワイヤを備えるマイクロ波増幅回路において、該能動素子と受動素子は該能動素子と接地導体との間にボンディングワイヤを接続可能な複数の電極パッドを備える第2の誘電体基板を前記誘電体基板上に設けることとしたので、該ボンディングワイヤのインダクタンスを適宜調整でき、従ってマイクロ波増幅回路の各種特性を容易に調整することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明によるマイクロ波増幅回路の実施例の平面図である。

【図2】従来のマイクロ波増幅回路の平面図である。

【符号の説明】

- 21 誘電体基板
- 25 FET
- 26 チップキャパシタ
- 27 バイアス抵抗
- 32 ボンディングワイヤ
- 40 低誘電体基板
- 42 電極パッド

【图2】

